

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC868 U.S. PTO
09/855030
05/15/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 5月15日

出願番号

Application Number:

特願2000-141387

願人

Applicant(s):

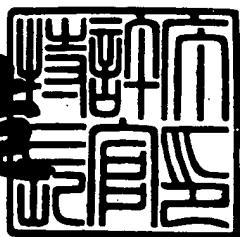
三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

川耕造



【書類名】 特許願

【整理番号】 KAA1000027

【提出日】 平成12年 5月15日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 浅野 哲郎

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 東野 太栄

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 平田 耕一

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【連絡先】 電話 0276-30-3151

【手数料の表示】

【予納台帳番号】 077770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体スイッチ回路装置

【特許請求の範囲】

【請求項1】 チャネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第1および第2のFETを形成し、両FETのソース電極あるいはドレイン電極を共通入力端子とし、両FETのドレイン電極あるいはソース電極を第1および第2の出力端子とし、両FETのゲート電極に制御信号を印可していざれか一方のFETを導通させて前記共通入力端子と前記第1および第2の出力端子のいざれか一方と信号経路を形成する化合物半導体スイッチ回路装置において、

前記FETのゲート幅を $700\mu m$ 以下に設定して前記ゲート電極による容量成分を減少させて前記両信号経路間に所定のアイソレーションを得ることを特徴とする化合物半導体スイッチ回路装置。

【請求項2】 前記共通入力端子に 2.4GHz 以上の入力信号を印可し、前記FETのゲート幅を $600\mu m$ 以下に設定し、前記アイソレーションを 18dB 以上とすることを特徴とする請求項1記載の化合物半導体スイッチ回路装置。

【請求項3】 半絶縁性基板としてGaN基板を用い、その表面に前記チャネル層を形成することを特徴とする請求項1記載の化合物半導体スイッチ回路装置。

【請求項4】 前記第1および第2のFETは前記チャネル層にショットキー接触するゲート電極と、前記チャネル層にオーム接觸するソース及びドレイン電極からなることを特徴とする請求項1記載の化合物半導体スイッチ回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に高周波スイッチング用途に用いられる化合物半導体スイッチ回路装置、特に 2.4GHz 帯以上に用いる化合物半導体スイッチ回路装置に関する

る。

【0002】

【従来の技術】

携帯電話等の移動体用通信機器では、GHz帯のマイクロ波を使用している場合が多く、アンテナの切換回路や送受信の切換回路などに、これらの高周波信号を切り替えるためのスイッチ素子が用いられることが多い（例えば、特開平9-181642号）。その素子としては、高周波を扱うことからガリウム・砒素（GaAs）を用いた電界効果トランジスタ（以下FETという）を使用する事が多く、これに伴って前記スイッチ回路自体を集積化したモノリシックマイクロ波集積回路（MMIC）の開発が進められている。

【0003】

図6 (A) は、GaAs FETの断面図を示している。ノンドープのGaAs基板1の表面部分にN型不純物をドープしてN型のチャネル領域2を形成し、チャネル領域2表面にショットキー接触するゲート電極3を配置し、ゲート電極3の両脇にはGaAs表面にオーミック接触するソース・ドレイン電極4、5を配置したものである。このトランジスタは、ゲート電極3の電位によって直下のチャネル領域2内に空乏層を形成し、もってソース電極4とドレイン電極5との間のチャネル電流を制御するものである。

【0004】

図6 (B) は、GaAs FETを用いたSPDT (Single Pole Double Throw)と呼ばれる化合物半導体スイッチ回路装置の原理的な回路図を示している。

【0005】

第1と第2のFET1、FET2のソース（又はドレイン）が共通入力端子INに接続され、各FET1、FET2のゲートが抵抗R1、R2を介して第1と第2の制御端子Ct1-1、Ct1-2に接続され、そして各FETのドレイン（又はソース）が第1と第2の出力端子OUT1、OUT2に接続されたものである。第1と第2の制御端子Ct1-1、Ct1-2に印加される信号は相補信号であり、Hレベルの信号が印加されたFETがONして、入力端子INに印加された信号をどちらか一方の出力端子に伝達するようになっている。抵抗R1、R2

は、交流接地となる制御端子Ct1-1、Ct1-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0006】

かかる化合物半導体スイッチ回路装置の等価回路図を図7に示す。マイクロ波では特性インピーダンス 50Ω を基準としており、各端子のインピーダンスは $R_1 = R_2 = R_3 = 50\Omega$ 抵抗で表される。また、各端子の電位を V_1 、 V_2 、 V_3 とすると挿入損失(Insertion Loss)およびアイソレーション(Isolation)は以下の式で表される。

【0007】

$$\text{Insertion Loss} = 20 \log (V_2 / V_1) [\text{dB}]$$

これは共通入力端子INから出力端子OUT1へ信号を伝送したときの挿入損失であり、

$$\text{Isolation} = 20 \log (V_3 / V_1) [\text{dB}]$$

これは共通入力端子INから出力端子OUT2との間のアイソレーションである。化合物半導体スイッチ回路装置では上記した挿入損失(Insertion Loss)をできるだけ少なくし、アイソレーション(Isolation)を向上することが要求され、信号経路に直列に挿入されるFETの設計が大切である。このFETとしてGaAs FETを用いる理由はGaAsの方がSiより電子移動度が高いことから抵抗が小さく低損失化が図れ、GaAsは半絶縁性基板であることから信号経路間の高アイソレーション化に適しているためである。その反面、GaAs基板はSiに比べて高価であり、PINダイオードのように等価なものがSiで出来ればコスト競争で負けてしまう。

【0008】

かかる化合物半導体スイッチ回路装置では、FETのチャネル領域2の抵抗Rが

$$R = 1 / e n \mu S [\Omega]$$

e : 電子電荷量($1.6 \times 10^{-19} \text{ C/cm}^3$)

n : 電子キャリア濃度

μ : 電子移動度

S : チャネル領域の断面積 (cm^2)

で表されるので、抵抗Rを出来るだけ小さくするためにチャネル幅を出来るだけ大きく設計して、チャネル領域の断面積を稼いで挿入損失(Insertion Loss)を小さくしていた。

【0009】

このためにゲート電極3とチャネル領域2で形成されるショットキー接觸に依る容量成分が大きくなり、ここから高周波の入力信号が漏れてアイソレーションを悪化させる。これを回避するためにシャントFETを設けて、アイソレーションの改善を図っていた。

【0010】

図8は今まで実用化してきた化合物半導体スイッチ回路装置の回路図である。この回路では、スイッチを行うFET1とFET2の出力端子OUT1とOUT2と接地間にシャントFET3、FET4を接続し、このシャントFET3、FET4のゲートにはFET2とFET1への制御端子Ct1-2、Ct1-1の相補信号を印可している。この結果、FET1がONのときはシャントFET4がONし、FET2およびシャントFET3がOFFしている。

【0011】

この回路で、共通入力端子IN-出力端子OUT1の信号経路がオンし、共通入力端子IN-出力端子OUT2の信号経路がオフした場合は、シャントFET4がオンしているので出力端子OUT2への入力信号の漏れは接地されたコンデンサCを介して接地に逃げ、アイソレーションが向上できる。

【0012】

図9は、かかる化合物半導体スイッチ回路装置を集積化した化合物半導体チップの1例を示している。

【0013】

GaAs基板にスイッチを行うFET1およびFET2を左右の中央部に配置し、シャントFET3およびシャントFET4を左右の下コーナー付近に配置し、各FETのゲート電極に抵抗R1、R2、R3、R4が接続されている。また共通入力端子IN、出力端子OUT1、OUT2、制御端子Ct1-1、Ct1-

2、接地端子GNDに対応するパッドが基板の周辺に設けられている。更にシャントFET3およびシャントFET4のソース電極は接続されて接地のためのコンデンサCを介して接地端子GNDに接続されている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層($T_i/Pt/Au$)であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層($T_i/Pt/Au$)である。第1層目の基板にオーミックに接触するオーミック金属層($AuGe/Ni/Au$)は各FETのソース電極、ゲート電極および各抵抗両端の取り出し電極を形成するものであり、図9では、パッド金属層と重なるために図示されていない。

【0014】

図10(A)に図9に示したFET1の部分を拡大した平面図を示す。この図で、一点鎖線で囲まれる長方形状の領域が基板11に形成されるチャネル領域12である。左側から伸びる櫛歯状の4本の第3層目のパッド金属層30が出力端子OUT1に接続されるソース電極13(あるいはドレイン電極)であり、この下に第1層目オーミック金属層10で形成されるソース電極14(あるいはドレイン電極)がある。また右側から伸びる櫛歯状の4本の第3層目のパッド金属層30が共通入力端子INに接続されるドレイン電極15(あるいはソース電極)であり、この下に第1層目のオーミック金属層10で形成されるドレイン電極16(あるいはソース電極)がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層20で形成されるゲート電極17がチャネル領域12上に櫛歯形状に配置されている。

【0015】

図10(B)にこのFETの一部の断面図を示す。基板11にはn型のチャネル領域12とその両側にソース領域18およびドレイン領域19を形成するn+型の高濃度領域が設けられ、チャネル領域12にはゲート電極17が設けられ、高濃度領域には第1層目のオーミック金属層10で形成されるドレイン電極14およびソース電極16が設けられる。更にこの上に前述したように3層目のパッド金属層30で形成されるドレイン電極13およびソース電極15が設けられ、各素子の配線等を行っている。

【0016】

ここで重要なことは、ゲート長 L_g は図10（B）に示すように、ソース領域とドレイン領域間のチャネル領域にあるゲート電極の長さをいい、通常単チャネル効果が発生しない $0.5 \mu m$ に設計される。ゲート幅 W_g は図10（A）に示すように、ソース領域およびドレイン領域に沿ってチャネル領域にあるゲート電極の長さをいい、オン抵抗を減らすためには出来るだけ大きく設計することが望ましい。

【0017】

【発明が解決しようとする課題】

上記した化合物半導体スイッチ回路装置では、挿入損失(Insertion Loss)をできるだけ小さくするためにゲート幅 W_g を大きく取り、FETのオン抵抗を引き下げる設計手法が採用されていた。具体的には、図9に示す化合物半導体スイッチ回路装置では、PHS 1.9GHz用でFET1およびFET2のゲート幅 W_g （櫛歯状のゲート電極の総和）は $1.4 mm (1400 \mu m)$ に設計され、シャント用のFET3およびFET4のゲート幅 W_g は $0.4 mm (400 \mu m)$ に設計されている。なお、ゲート長 L_g はFETのオン抵抗を減らすために $0.5 \mu m$ にできる限り短く設計されている。

【0018】

このためにゲート幅 W_g が大きくなることに起因してゲート電極の容量成分が増加して、アイソレーション(Isolation)を低下させている。このアイソレーション(Isolation)向上させるためにはシャントFETで回路的に入力信号の漏れを接地に逃がすことが不可欠であった。

【0019】

従って、今までの化合物半導体スイッチ回路装置ではチップサイズが $1.07 \times 0.50 mm^2$ と極めて大きなものとなり、チップサイズの縮小によるコストダウンとは反対の方向へ向かっていた。

【0020】

更に、今までの化合物半導体スイッチ回路装置ではPDC 900MHz用でもPHS 1.9GHz用でも共用できるように設計され、シャントFETを用

いざにアイソレーション(Isolation)を確保する設計努力が十分になされていなかったのが現状であった。このためにコスト高となり、上記した両周波数帯の化合物半導体スイッチ回路装置はシリコンの安価なチップに置き換えが進み、市場を失う結果を招いていた。

【0021】

【課題を解決するための手段】

本発明は上述した諸々の事情に鑑み成されたもので、2.4GHz以上の高周波数帯でシャントFETを省いてアイソレーション(Isolation)を確保する設計に着目し、今までのFETのオン抵抗の低減を二義的に考える逆転的な発想手段により解決する。

【0022】

すなわち、チャネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第1および第2のFETを形成し、両FETのソース電極あるいはドレイン電極を共通入力端子とし、両FETのドレイン電極あるいはソース電極を第1および第2の出力端子とし、両FETのゲート電極に制御信号を印可していずれか一方のFETを導通させて前記共通入力端子と前記第1および第2の出力端子のいずれか一方と信号経路を形成する化合物半導体スイッチ回路において、前記FETのゲート幅を $700\mu m$ 以下に設定して前記ゲート電極による容量成分を減少させて前記両信号経路間に所定のアイソレーションを得ることに特徴を有する。

【0023】

【発明の実施の形態】

以下に本発明の実施の形態について図1から図5を参照して説明する。

【0024】

図1は、本発明の化合物半導体スイッチ回路装置を示す回路図である。第1のFET1と第2のFET2のソース電極（あるいはドレイン電極）が共通入力端子INに接続され、FET1およびFET2のゲート電極がそれぞれ抵抗R1、R2を介して第1と第2の制御端子Ct1-1、Ct1-2に接続され、そしてFET1およびFET2のドレイン電極（あるいはソース電極）が第1と第2の出

力端子OUT1、OUT2に接続されたものである。第1と第2の制御端子Ct1-1、Ct1-2に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFETがONして、共通入力端子INに印加された入力信号をどちらか一方の出力端子に伝達するようになっている。抵抗R1、R2は、交流接地となる制御端子Ct1-1、Ct1-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0025】

図1に示す回路は、図6(B)に示すGaAs FETを用いたSPDT(Single Pole Double Throw)と呼ばれる化合物半導体スイッチ回路装置の原理的な回路とほぼ同じ回路構成であるが、大きく異なる点はFET1およびFET2のゲート電極のゲート幅Wgを700μm以下に設計することである。ゲート幅Wgを従来のものに比べて小さくすることはFETのオン抵抗を大きくすることを意味し、且つゲート電極の面積(Lg×Wg)が小さくなることによりゲート電極とチャネル領域とのショットキー接合による寄生容量が小さくなることを意味し、回路動作の上では大きな差が出る。

【0026】

図2は、本発明の化合物半導体スイッチ回路装置を集積化した化合物半導体チップの1例を示している。

【0027】

GaAs基板にスイッチを行うFET1およびFET2を中央部に配置し、各FETのゲート電極に抵抗R1、R2が接続されている。また共通入力端子IN、出力端子OUT1、OUT2、制御端子Ct1-1、Ct1-2に対応するパッドが基板の周辺に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層(Ti/Pt/Au)20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)30である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)10は各FETのソース電極、ゲート電極および各抵抗両端の取り出し電極を形成するものであり、図2では、パッド金属層と重なるために図示されていない。

【0028】

図2から明白なように、構成部品はFET1、FET2、抵抗R1、R2、共通入力端子IN、出力端子OUT1、OUT2、制御端子Ct1-1、Ct1-2に対応するパッドのみであり、図9に示す従来の化合物半導体スイッチ回路装置に比べると、最小構成部品で構成されている。

【0029】

また本発明の特徴的な点は、FET1（FET2も同じ）をゲート幅が700μm以下と従来の半分以下で形成されるので、FET1も従来の半分の大きさで済ませることができる。すなわち、図2に示したFET1は一点鎖線で囲まれる長方形形状のチャネル領域12に形成される。下側から伸びる櫛歯状の3本の第3層目のパッド金属層30が出力端子OUT1に接続されるソース電極13（あるいはドレイン電極）であり、この下に第1層目オーミック金属層10で形成されるソース電極14（あるいはドレイン電極）がある。また上側から伸びる櫛歯状の3本の第3層目のパッド金属層30が共通入力端子INに接続されるドレイン電極15（あるいはソース電極）であり、この下に第1層目のオーミック金属層10で形成されるドレイン電極14（あるいはソース電極）がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層20で形成されるゲート電極17がチャネル領域12上に4本の櫛歯形状に配置されている。なお、上側から伸びる真中の櫛歯のドレイン電極13（あるいはソース電極）はFET1とFET2とで共用しており、更に小型化に寄与している。ここで、ゲート幅が700μm以下という意味は各FETの櫛歯状のゲート電極17のゲート幅の総和がそれぞれ700μm以下であることを言っている。

【0030】

FET1とFET2断面構造は図10（B）に示す従来のものと同じであるので、説明を省略する。

【0031】

この結果、本発明の化合物半導体チップのサイズは0.37×0.30mm²に納めることができた。これは従来の化合物半導体チップサイズを実に20%に縮小できることを意味する。

【0032】

次に、2. 4 GHz 以上の高周波数帯でシャントFETを省いてアイソレーション(Isolation)を確保する設計が可能となるかについて説明する。

【0033】

図3に、FETのゲート長 L_g が0. 5 μmのときのゲート幅 W_g - 挿入損失(Insertion Loss)の関係を示す。

【0034】

1 GHz の入力信号のとき、ゲート幅 W_g が1000 μmから600 μmまで小さくすると0. 35 dBから0. 55 dBと0. 2 dBの挿入損失(Insertion Loss)が悪化する。しかし、2. 4 GHz の入力信号のとき、ゲート幅 W_g が1000 μmから600 μmまで小さくすると0. 60 dBから0. 65 dBと僅か0. 05 dBの挿入損失(Insertion Loss)で済む。これは1 GHz の入力信号のときは挿入損失(Insertion Loss)はFETのオン抵抗による影響を大きく受けたが、2. 4 GHz の入力信号のときは挿入損失(Insertion Loss)はFETのオン抵抗による影響をあまり受けないことが分かった。

【0035】

この理由としては、2. 4 GHz の入力信号では1 GHz に比べて更に高周波となるので、FETのオン抵抗よりはむしろFETのゲート電極に起因する容量成分の影響が大きいと考えられるからである。このため2. 4 GHz 以上の高周波ではFETのオン抵抗より容量成分が挿入損失(Insertion Loss)に大きく影響するのであれば、むしろオン抵抗より容量成分を減らすことに着目して設計することが良い。すなわち、従来の設計とは全く逆転の発想が必要となった。

【0036】

一方、図4にFETのゲート長 L_g が0. 5 μmのときのゲート幅 W_g - アイソレーション(Isolation)の関係を示す。

【0037】

1 GHz の入力信号のとき、ゲート幅 W_g が1000 μmから600 μmまで小さくすると19. 5 dBから23. 5 dBと4. 0 dBのアイソレーション(Isolation)が改善される。同様に、2. 4 GHz の入力信号のとき、ゲート幅 W_g

g が $1000\mu m$ から $600\mu m$ まで小さくすると $14dB$ から $18dB$ と $4.0dB$ のアイソレーション(Isolation)が改善される。すなわち、アイソレーション(Isolation)はFETのオン抵抗に依存して改善されることが分かる。

【0038】

従って、 $2.4GHz$ 以上の高周波数帯では図3から明らかなように、挿入損失(Insertion Loss)の僅かな悪化しかないことを考慮するば、むしろ図4に示したアイソレーション(Isolation)を優先して設計する方が化合物半導体チップサイズを縮小できる。すなわち、 $2.4GHz$ の入力信号のとき $700\mu m$ 以下のゲート幅 W_g であれば $16.5dB$ 以上のアイソレーション(Isolation)を確保することができ、更に $600\mu m$ 以下のゲート幅 W_g であれば $18dB$ 以上のアイソレーション(Isolation)を確保することができる。

【0039】

具体的には、図2に実際のパターンを示した本発明の化合物半導体スイッチ回路装置では、ゲート長 L_g を $0.5\mu m$ 、ゲート幅 W_g を $600\mu m$ のFET1およびFET2に設計し、挿入損失(Insertion Loss)を $0.65dB$ 、アイソレーション(Isolation)を $18dB$ を確保している。この特性はBluetooth(携帯電話、ノートPC、携帯情報端末、デジタルカメラ、その他周辺機器をワイヤレスで相互接続し、モバイル環境、ビジネス環境を向上させる通信仕様)を含む $2.4GHz$ 帯ISM Band(Industrial Scientific and Medical frequency band)を使用したスペクトラム拡散通信の応用分野での通信スイッチとして活用されるものである。

【0040】

また、本発明の化合物半導体スイッチ回路装置では数々の回路特性の改善が図れた。第1に、高周波入力電力に対するスイッチでの反射を表す電圧定在波比VSWR(Voltage Standing-Wave Ratio)は $1.1 \sim 1.2$ を実現した。VSWRは高周波伝送線路中の不連続部分で発生する反射波と入力波の間で発生する電圧定在波の最大値と最小値の比を表し、理想状態では $VSWR = 1$ で反射0を意味する。シャントFETを有する従来の化合物半導体スイッチ回路装置では、 $VSWR = 1.4$ 程度であり、本発明では電圧定在波比の大幅な改善ができた。こ

の理由は、本発明の化合物半導体スイッチ回路装置では高周波伝送線路中にスイッチ用のFET1およびFET2しか無く、回路的にシンプルでデバイス的に極めて小さいサイズのFETしか無いことにことに依るものである。

【0041】

第2に、高周波入力信号に対する出力信号の歪みレベルを表すリニアリティ特性は、 $P_{IN} 1 \text{ dB}$ として30dBmを実現している。図5に入出力電力のリニアリティ特性を示す。入出力電力比は理想的には1となるが、挿入損失(Insertion Loss)があるのでその分出力電力が減る。入力電力が大きくなると出力電力が歪んでくるので、入力電力に対して出力電力が線型領域の挿入損失(Insertion Loss)プラス1dB下がる点が $P_{IN} 1 \text{ dB}$ として表される。シャントFET有りの化合物半導体スイッチ回路装置では $P_{IN} 1 \text{ dB}$ は26dBmであるが、シャントFETなしの本発明の化合物半導体スイッチ回路装置では30dBmであり、約4dB以上の改善が図れる。この理由は、シャントFET有りの場合はオフしたスイッチ用とシャント用のFETのピンチオフ電圧の影響を相乗的に受けるのに対してシャントFETなしの本発明の場合はオフしたスイッチ用のFETのみの影響だけであるからである。

【0042】

【発明の効果】

以上に詳述した如く、本発明に依れば以下の数々の効果が得られる。

【0043】

第1に、2.4GHz以上の高周波数帯でシャントFETを省いてアイソレーション(Isolation)を確保する設計に着目し、今までのFETのオン抵抗の低減を二義的に考える逆転的な発想手段を用い、スイッチに用いるFET1およびFET2のゲート電極のゲート幅 W_g を700μm以下に設計することである。この結果、スイッチに用いるFET1およびFET2のサイズ小さくでき、且つ挿入損失(Insertion Loss)を小さく抑え、アイソレーション(Isolation)を確保できる利点を得られる。

【0044】

第2に、本発明の化合物半導体スイッチ回路装置ではシャントFETを省く設

計が可能となつたために、構成部品はFET1、FET2、抵抗R1、R2、共通入力端子IN、出力端子OUT1、OUT2、制御端子Ct1-1、Ct1-2に対応するパッドのみであり、従来の化合物半導体スイッチ回路装置に比べると、最小構成部品で構成できる利点を有する。

【0045】

第3に、上述したように最小構成部品となつたため、半導体チップサイズを従来の化合物半導体スイッチ回路装置に比べて20%まで縮小が可能となり、シリコン半導体チップとの価格競争力も大幅に向ふことができる。またチップサイズが小さくできるので、従来の小型パッケージ(MCP6 大きさ2.1mm×2.0mm×0.9mm)よりさらに小型パッケージ(SMCP6 大きさ1.6mm×1.6mm×0.75mm)に実装ができるようになった。

【0046】

第4に、挿入損失(Insertion Loss)が2.4GHz以上の高周波になつてもあまり増加しないので、シャントFETを省いてもアイソレーション(Isolation)を取れる設計が可能となつた。たとえば、3GHzの入力信号でゲート幅300μmでも、シャントFETなしで十分にアイソレーション(Isolation)を確保できる。

【0047】

第5に、本発明の化合物半導体スイッチ回路装置では、高周波入力電力に対するスイッチでの反射を表す電圧定在波比 VSWR (Voltage Standing-Wave Ratio)を1.1~1.2に実現でき、反射の少ないスイッチを提供できる。

【0048】

第6に、本発明の化合物半導体スイッチ回路装置では、高周波入力信号に対する出力信号の歪みレベルを表すリニアリティ特性 P_{IN} 1dBを30dBと向上でき、スイッチのリニアリティ特性の大幅な改善ができる。

【図面の簡単な説明】

【図1】

本発明を説明するための回路図である。

【図2】

本発明を説明するための平面図である。

【図3】

本発明を説明するための特性図である。

【図4】

本発明を説明するための特性図である。

【図5】

本発明を説明するための特性図である。

【図6】

従来例を説明するための（A）断面図、（B）回路図である。

【図7】

従来例を説明するための等価回路図である。

【図8】

従来例を説明するための回路図である。

【図9】

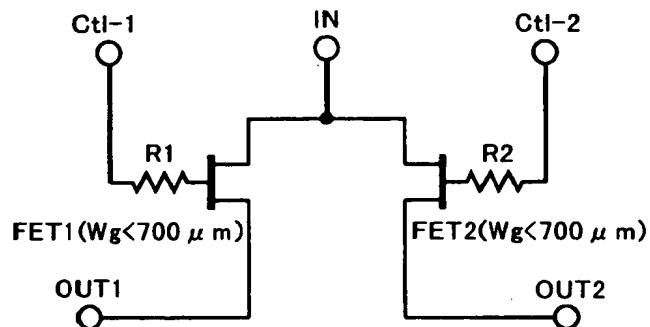
従来例を説明するための平面図である。

【図10】

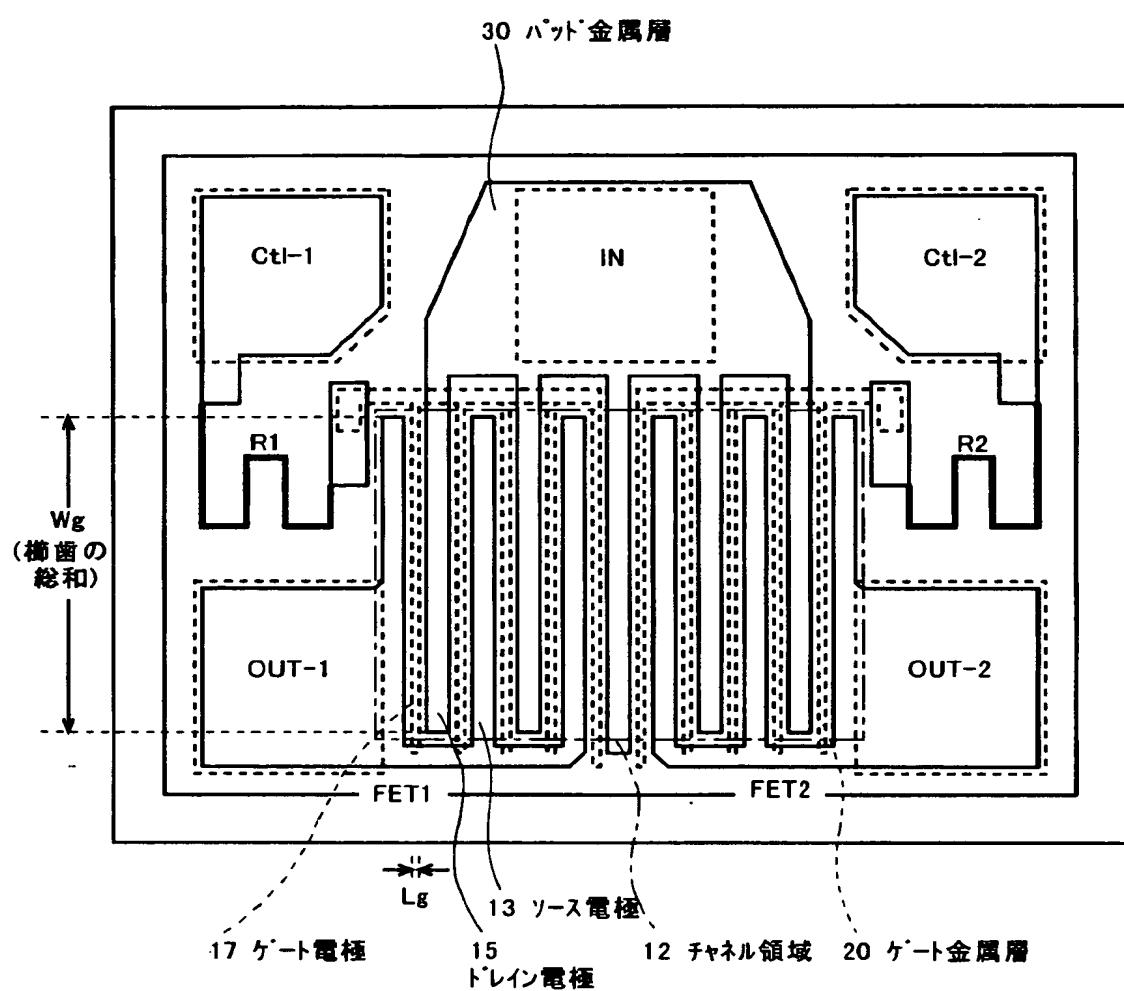
従来例を説明するための（A）平面図、（B）断面図である。

【書類名】 図面

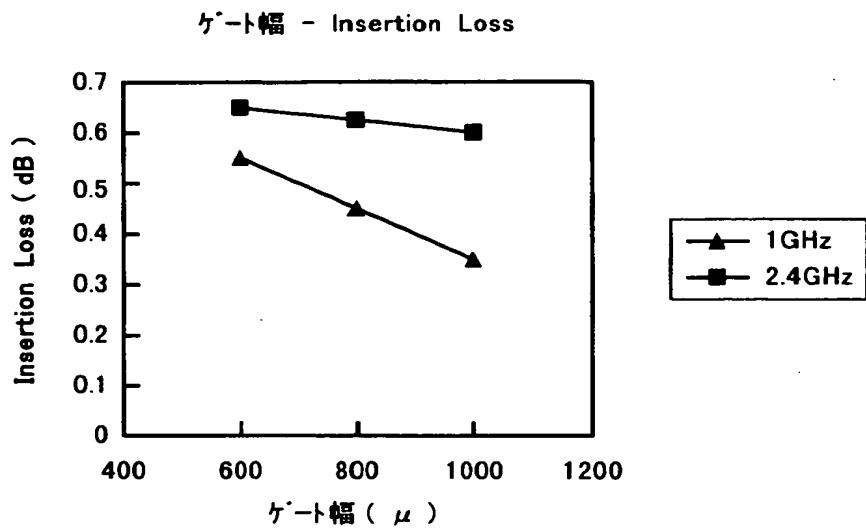
【図1】



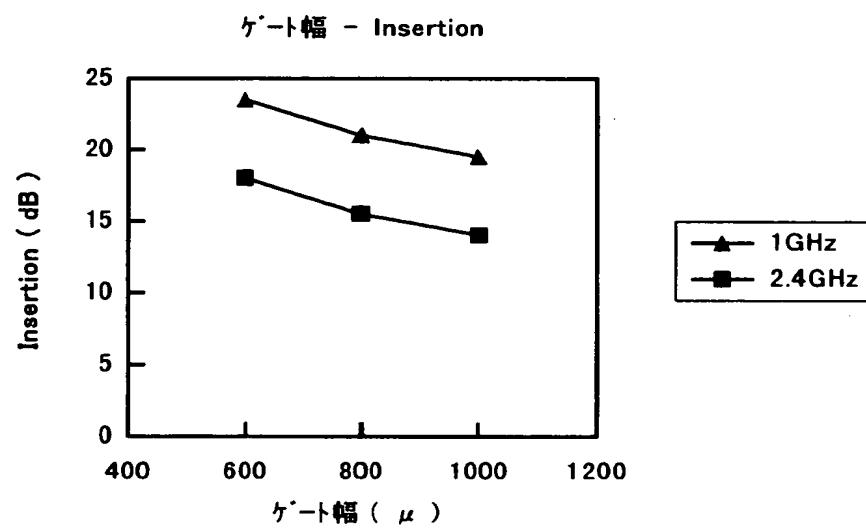
【図2】



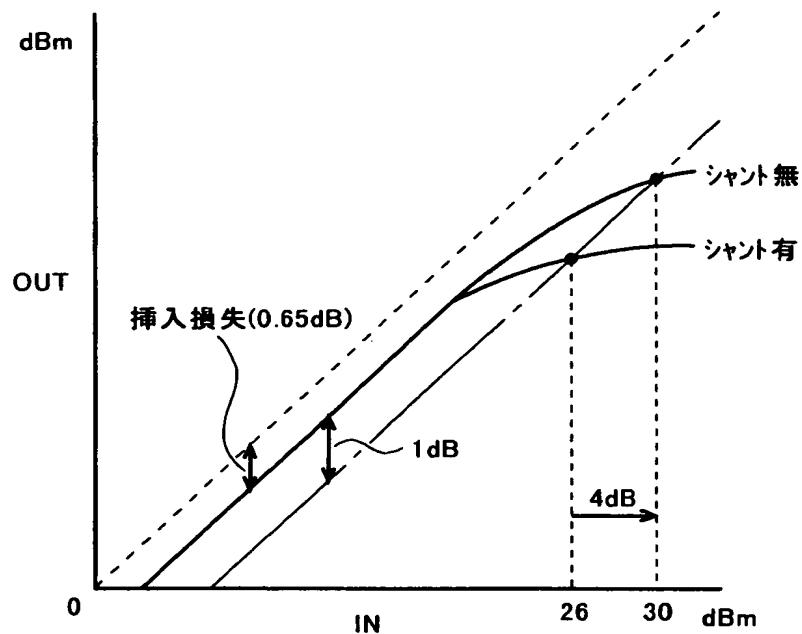
【図3】



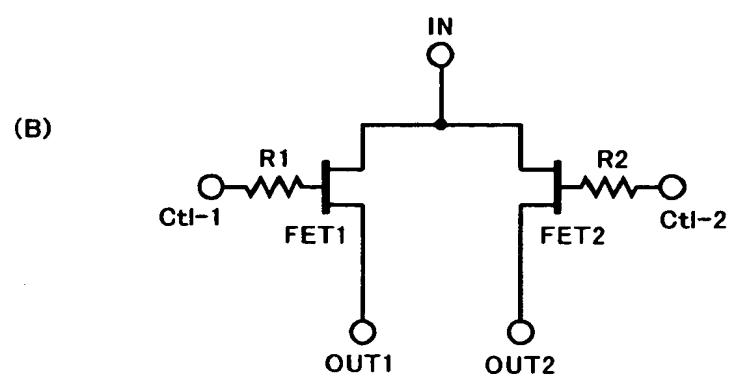
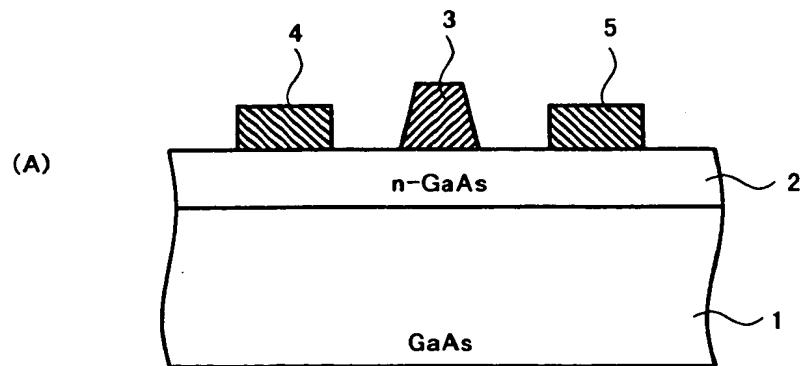
【図4】



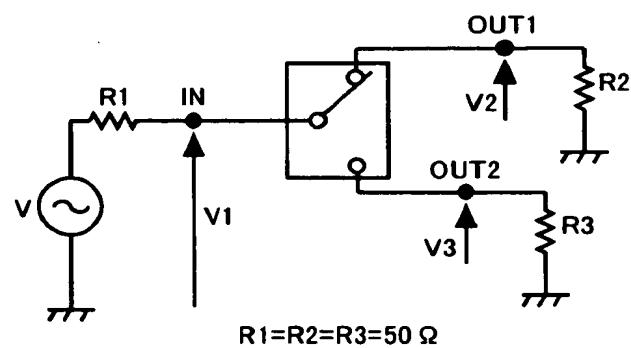
【図5】



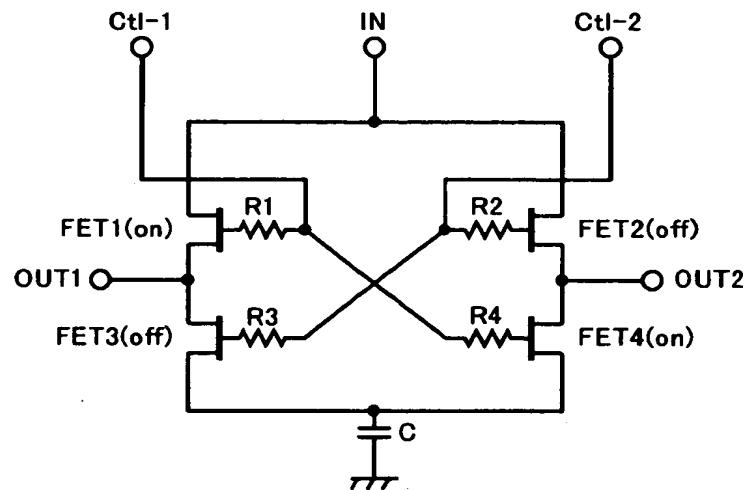
【図6】



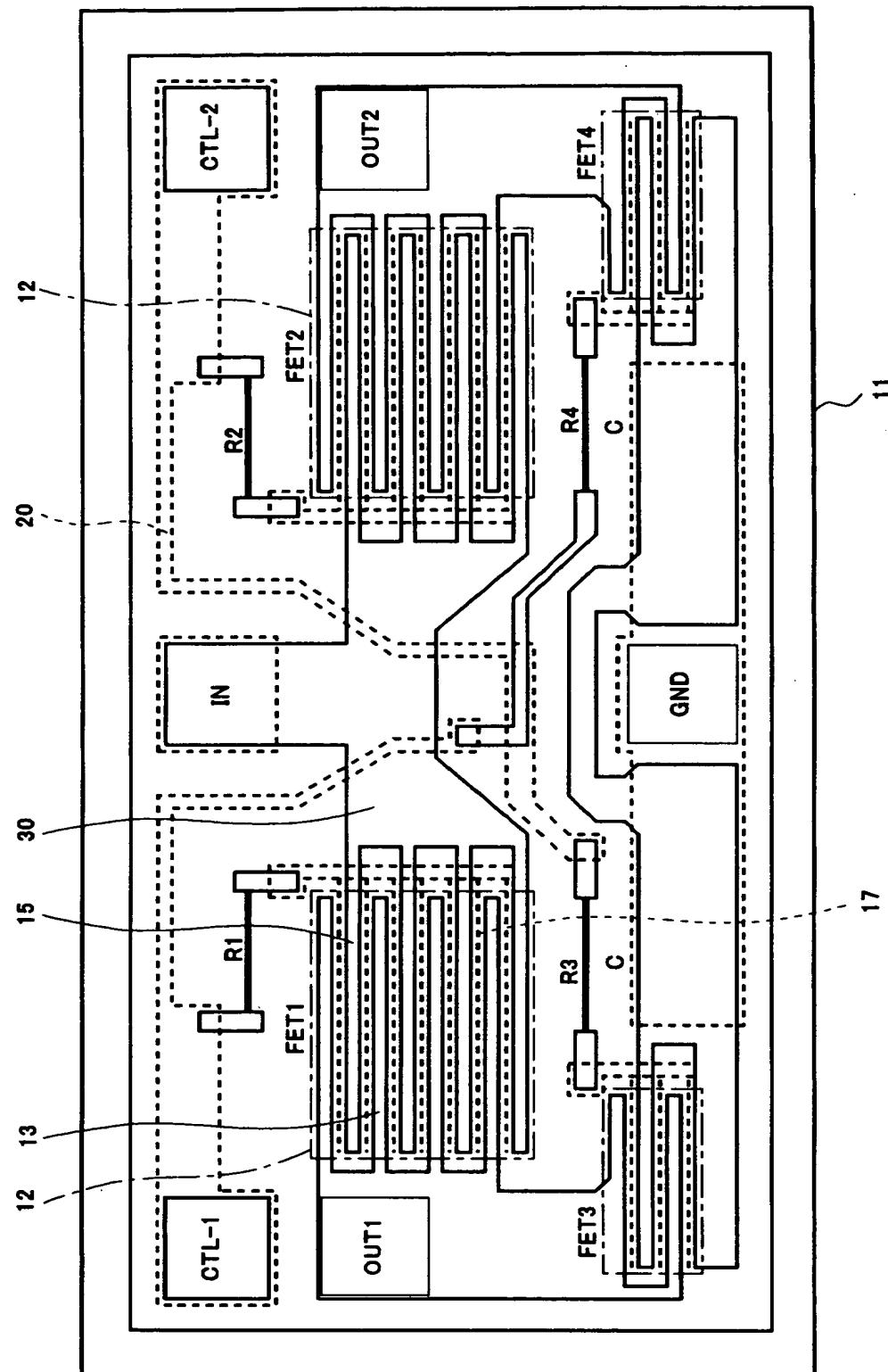
【図7】



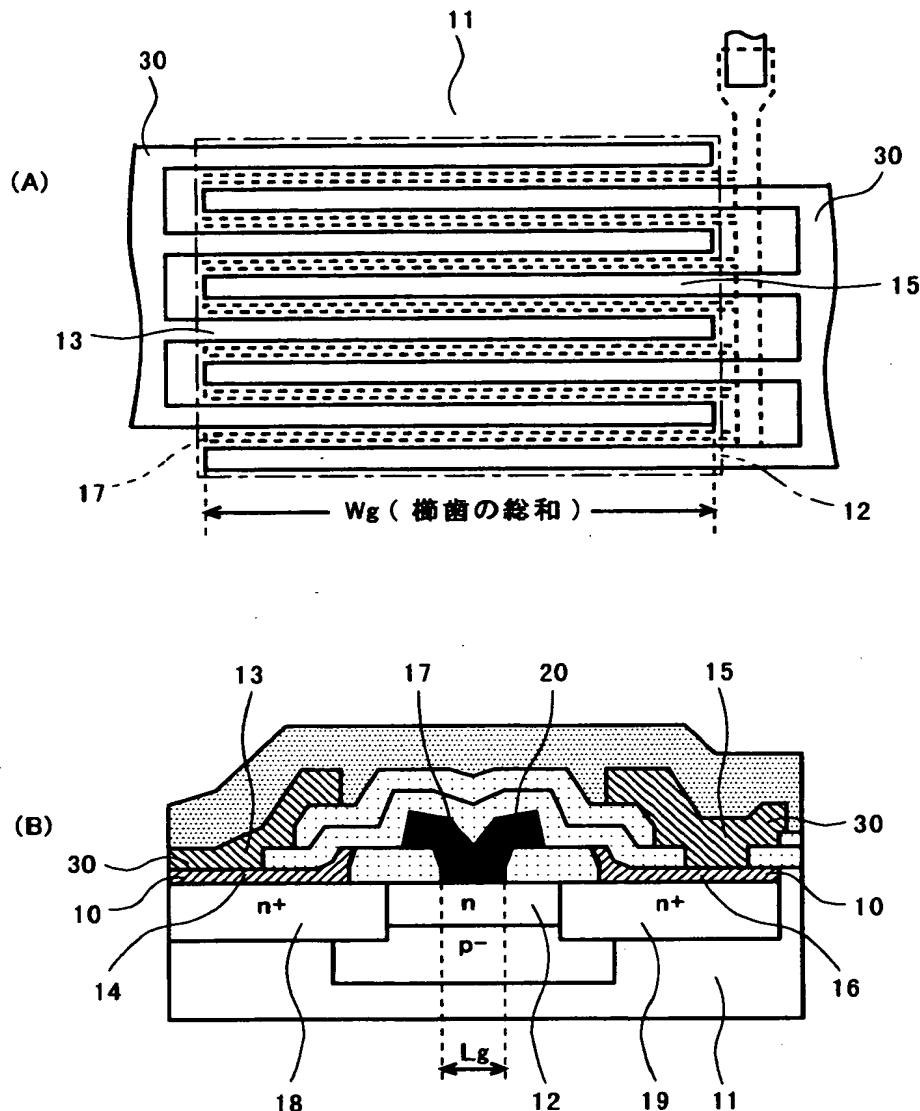
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 化合物半導体スイッチ回路装置では、挿入損失(Insertion Loss)をできるだけ小さくするためにゲート幅 W_g を大きく取り、FETのオン抵抗を引き下げる設計手法が採用されていた。

【解決手段】 2. 4 GHz 以上の高周波数帯でシャントFETを省いてアイソレーション(Isolation)を確保する設計に着目し、今までのFETのオン抵抗の低減を二義的に考える。すなわち、化合物半導体スイッチ回路装置において、スイッチ用のFETのゲート幅を $700 \mu m$ 以下に設定して、ゲート電極による容量成分を減少させて両信号経路間に所定のアイソレーションを得ることに特徴を有する。

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社